

# AMPLIFICADOR MMIC DE ALTO IP3 PARA APLICACIONES S-DMB EMBARCADAS

Yolanda Jato<sup>(1)</sup>, Amparo Herrera<sup>(1)</sup>, Rocío García<sup>(2)</sup>

jatoy@unican.es, herreraa@unican.es

<sup>(1)</sup> Dpto. de Ingeniería de Comunicaciones. Universidad de Cantabria.

Avda. de los Castros s/n, 39005, Santander, Cantabria

<sup>(2)</sup> Thales Alenia Space España

C/ Einstein 7, (PTM) 28760, Tres Cantos

**Abstract-** This paper presents the design and simulation of a monolithic high linearity amplifier in GaAs high electron-mobility transistor technology for the S and UHF bands. A specific topology has been chosen in order to achieve a high OIP3 value as well as good input and output return losses. Due to the wide bandwidth of operation an off-chip matching network has been adopted for each operation band. An on-chip active matching circuit has also been included in order to simplify the passive matching network configuration. A gain of approximately 19 dB has been achieved in simulation, as well as good values of input/output matching. The output third order intermodulation point takes a value of 29.3 dBm in the UHF band and 27.4 dBm in the S-band.

## I. INTRODUCCIÓN

El amplificador que se expone en este artículo forma parte de los equipos que compondrán un repetidor en banda S de TV para móvil S-DMB (Satellite-Digital Multimedia Broadcasting) [1], [2]. Éste se presenta como un nuevo concepto de difusión de servicios de TV directamente a usuarios de telefonía móvil y se engloba dentro del programa marco ARTES 4 de la Agencia Aeroespacial Europea.

En la siguiente figura se representa de forma esquemática la estructura de un sistema S-DMB.

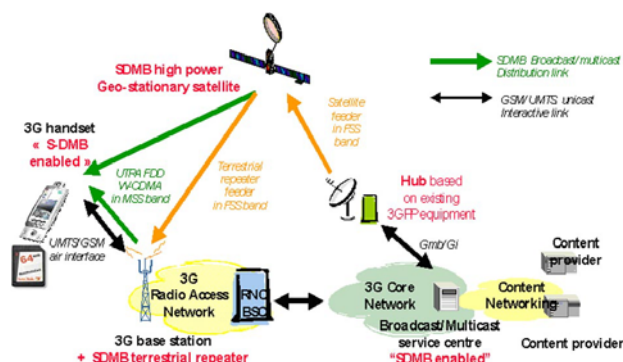


Fig. 1. Estructura de un sistema S-DMB genérico.

Los sistemas S-DMB se basan en la combinación de una arquitectura de repetidores terrestres y de satélite para la distribución de servicios digitales multimedia interactivos "broadcasting/multicasting" a usuarios finales móviles.

Se ha utilizado la tecnología MMIC (Microwave Monolithic Integrated Circuits) para el diseño del amplificador. Esta tecnología permite una reducción de aproximadamente 2 veces el peso y coste en comparación con la tecnología híbrida. Al mismo tiempo se consiguen altas prestaciones y un incremento en la fiabilidad de los equipos. Todas estas características son de gran importancia en sistemas para comunicaciones por satélite que exigen unos requerimientos muy estrictos.

El amplificador de alta linealidad que se presenta a continuación funciona como buffer para los convertidores de los repetidores embarcados en satélite. Las especificaciones exigen que el convertidor posea una linealidad muy alta así como un valor de ganancia elevado. Los mezcladores que dan mayores valores de linealidad son los pasivos [3] (a diodo o con FET frío), pero presentan el inconveniente de que no poseen ganancia. La solución es incluir un amplificador que actúe como buffer de entrada y que además de suministrar la ganancia necesaria, debe presentar también una alta linealidad con el fin de que la linealidad total no se vea degradada por su efecto.

En el diseño se ha utilizado el proceso comercial ED02AH de OMMIC, que ofrece transistores P-HEMT con una anchura de puerta de 0.2  $\mu\text{m}$  y una  $f_t = 63$  GHz. Este proceso posee calificación espacial, lo cual es muy importante dados los estrictos requerimientos que debe superar cualquier circuito que vaya a ser embarcado.

## II. DISEÑO DEL AMPLIFICADOR EN BANDAS S/UHF

Se ha diseñado un amplificador de propósito general capaz de operar en las bandas S (que abarca de 2 GHz a 2.2 GHz) y UHF (que cubre de 550 MHz hasta 750 MHz), y que además obtiene una alta linealidad (traducido en un punto de intercepción de tercer orden a la salida de valor elevado) así como buenos valores de adaptación de entrada y salida.

El amplificador tendrá la función de buffer de entrada de un convertidor, por lo que el parámetro de la linealidad es de especial importancia en el diseño.

La Tabla 1 muestra las especificaciones principales que debe cumplir el amplificador. Como se puede ver, el valor del punto de intercepción de tercer orden que se requiere es muy elevado, con lo cual, se debe adoptar una configuración que nos permita conseguir una alta linealidad y al mismo tiempo un buen valor de ganancia y de pérdidas de retorno de entrada y salida.

Parameter	Units	Value
Gain	dB	15
Input return losses	dB	-18
Output return losses	dB	-15
OIP3	dBm	25
Noise figure	dB	3.5

Tabla 1. Especificaciones del amplificador

Después de estudiar las distintas posibilidades se ha elegido una configuración en emisor común con realimentación en paralelo con el fin de mejorar la estabilidad del circuito. Además, dada la alta impedancia que presentan las puertas de los transistores HEMT, también se ha introducido un circuito a la entrada en configuración puerta común que realiza una adaptación de impedancia activa. Con este circuito conseguimos disminuir la impedancia de entrada, facilitando de esta forma una futura adaptación externa en caso de ser necesaria.

Se ha conseguido una buena adaptación de salida en banda ancha utilizando una red simple compuesta por el condensador de desacoplo de continua junto con una bobina serie.

El esquema completo del amplificador se muestra en la Fig. 2.

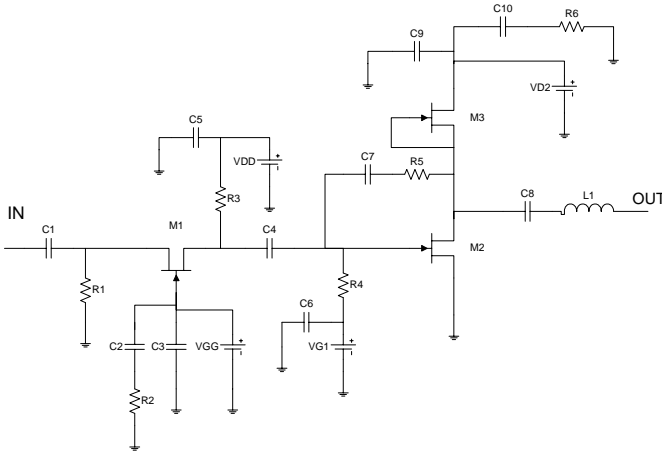


Fig. 2. Esquema del amplificador de alto IP3.

#### A. Adaptación de entrada.

La etapa que realiza la adaptación activa [4], [5], se compone de un transistor en configuración de puerta común. Los transistores en esta configuración tienen la propiedad de que su resistencia de entrada está primordialmente determinada por el valor de su transconductancia, que además es proporcional a la anchura del transistor.

$$Z_{in} = \frac{r_{ds} + R_L}{g_m \cdot r_{ds} + 1} \quad (1)$$

Si suponemos que  $r_{ds} \gg R_L$ , lo que suele ser una buena aproximación, entonces la impedancia de entrada de la etapa en puerta común:

$$Z_{in} \cong \frac{1}{g_m} \quad (2)$$

Donde  $g_m$  depende directamente del tamaño del transistor y de la corriente de polarización del mismo. El siguiente paso es conseguir que:

$$Z_{in} \cong \frac{1}{g_m} \cong \frac{\partial V_{GS}}{\partial I_D} \cong 50 \Omega \quad (3)$$

Se busca entonces un punto de polarización y un tamaño de transistor tal que se cumpla la Ec. 3. Una vez hecha la simulación se comprueba como efectivamente se consigue una adaptación de banda ancha. El inconveniente es que este punto de polarización no coincide con el de máxima linealidad, obteniéndose un valor muy bajo de IP3.

La solución que decidimos adoptar fue la de seguir usando el circuito en puerta común a la entrada, pero cambiando su punto de polarización de forma que se consiguiese una buena linealidad, a costa de empeorar ligeramente el valor de adaptación. De esta forma, mejoramos la adaptación para que sea viable el uso de una red pasiva simple que mejore los resultados, y que colocaremos antes de la adaptación activa y que de otra forma no podríamos incluir por su gran tamaño y número de elementos

Se han diseñado dos redes externas pasivas de adaptación, una para cada banda de trabajo, ya que es imposible cubrir ambas al mismo tiempo conservando un buen valor de linealidad. Además, gracias a estas redes, se mejorará el comportamiento de ruido y permitirán un ajuste posterior de la adaptación una vez integrado el circuito.

Ambas redes de adaptación pasivas presentan una configuración en Pi como se muestra en la Fig. 3.

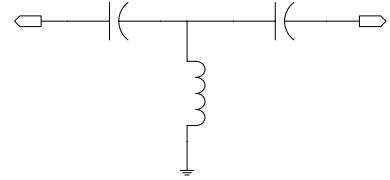


Fig. 3. Configuración de la red de adaptación externa.

#### B. Circuito de carga.

Como circuito de carga para el transistor en emisor común, se ha elegido un transistor funcionando como carga activa [6], [7] en lugar de una bobina o resistencia. La carga activa posee una serie de ventajas frente a los componentes pasivos; es un mejor choque de RF, presenta las mismas características en una banda ancha y además el tamaño que ocupa en el circuito es mucho más pequeño. Por otro lado, las cargas activas permiten obtener una ganancia en tensión más elevada con una menor potencia de DC.

En el caso que nos ocupa donde la banda de operación es bastante ancha y la frecuencia inferior es de solo 500 MHz, hubiésemos necesitado una bobina de tamaño muy grande que hubiese ocupado unas 20 veces más que lo que ocupa la carga activa.

### III. RESULTADOS DE SIMULACIÓN

El amplificador ha sido analizado utilizando el software comercial ADS 2006A, y se han realizado simulaciones de parámetros S y de gran señal (balance armónico). Los resultados que se han obtenido se presentan en los siguientes apartados.

#### A. Simulaciones de parámetros S.

Las simulaciones de parámetros S se han realizado para las dos bandas de operación, es decir, para la banda UHF y para la banda S.

El resultado de ganancia que se ha obtenido para ambas bandas de frecuencia supera con creces el valor de 15 dB exigido por las especificaciones, ya que se consiguen 20.7 dB en la banda inferior y 18 en la superior. En la Fig.4 se pueden ver los resultados obtenidos.

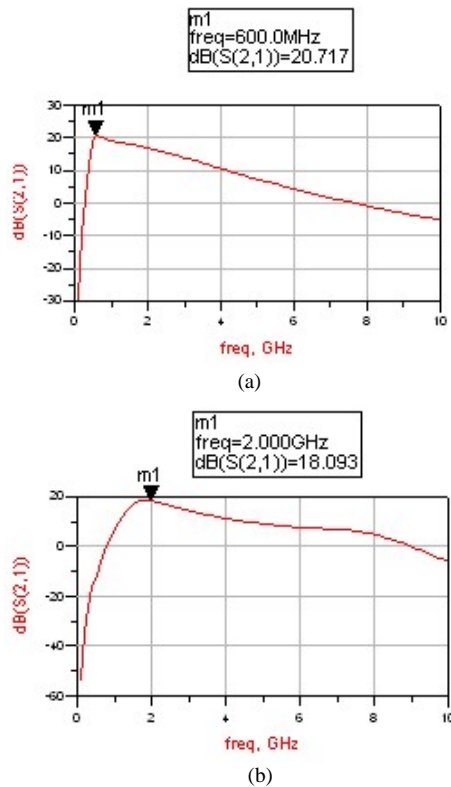


Fig. 4. Ganancia del amplificador en banda UHF (a) y banda S (b).

Por otro lado, las adaptaciones tanto de entrada como de salida cumplen las especificaciones en las frecuencias más bajas de la banda, en el resto va empeorando debido a que con la red pasiva no podemos conseguir una buena adaptación en una banda tan ancha. Las gráficas que representan la adaptación de entrada para ambas bandas de operación se muestran en la Fig.5.

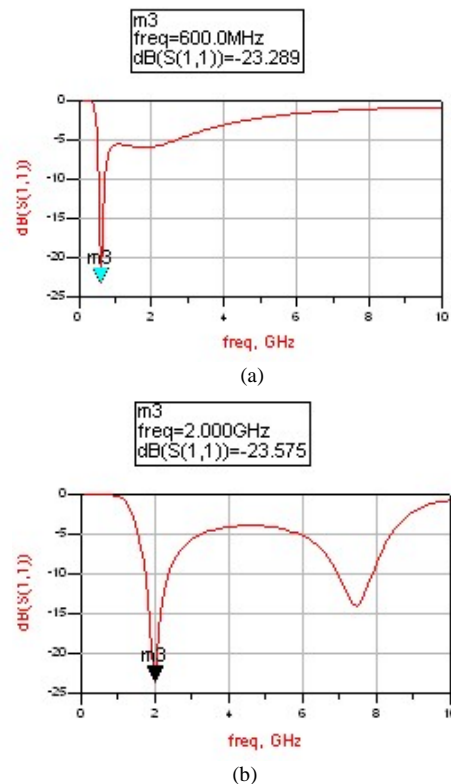


Fig. 5. Adaptación de entrada del amplificador en banda UHF (a) y banda S (b).

La adaptación de salida se mantiene por debajo de los -15 dB en ambas bandas de operación. Como ya se ha indicado antes esto se ha conseguido utilizando como red de adaptación el condensador de desacoplo de salida y una bobina serie.

Los resultados de las pérdidas de retorno a la salida se presentan en la Fig.6.

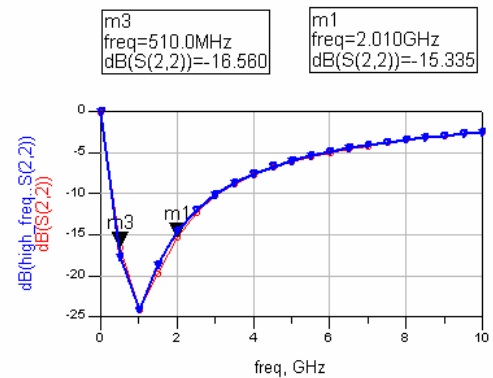


Fig. 6. Adaptación de salida del amplificador en banda UHF (línea fina de círculos) y en banda S (línea gruesa de triángulos).

Por último, se ha obtenido el valor de la figura de ruido ambas bandas de operación. Los resultados se presentan en la Fig. 7.

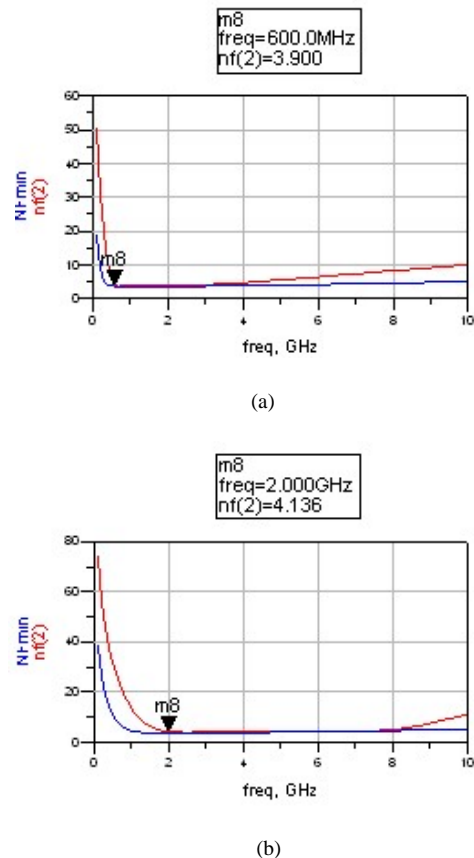


Fig. 7. Figura de ruido del amplificador en banda UHF (a) y banda S (b).

Si bien los valores exceden un poco las especificaciones, no se pueden considerar malos si tenemos en cuenta que el diseño ha sido realizado para optimizar la linealidad y la ganancia del amplificador, siendo el ruido un factor secundario ya que el amplificador irá precedido de un LNA.

Se ha analizado también la estabilidad del circuito en toda la banda de funcionamiento de los transistores, que abarca de 100

MHz hasta 60 GHz. Con el fin de mejorar la estabilidad se han incluido varios condensadores de valor elevado en paralelo con las fuentes de alimentación como se puede comprobar en la Fig.2.

#### B. Simulaciones no lineales.

Se han llevado a cabo varias simulaciones de balance armónico con el fin de obtener el punto de compresión 1 dB del amplificador así como el punto de intercepción de tercer orden, parámetros que miden la linealidad del dispositivo que simulamos.

En primer lugar se representan los puntos de compresión 1 dB a la salida del amplificador, recogidos en la Fig.8.

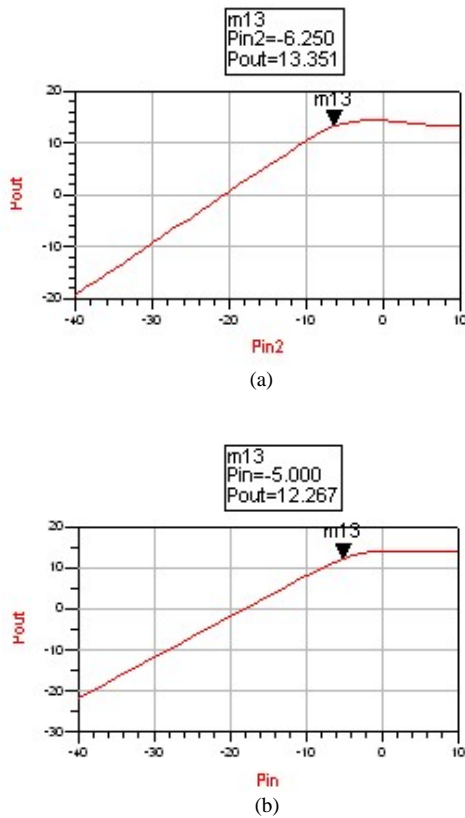


Fig. 8. Punto de compresión 1 dB a la salida del amplificador para la banda UHF (a) y la banda S (b).

Como se puede comprobar en las gráficas anteriores, se consigue un valor de P1dB a la salida de 13.35 dBm en la banda UHF y de 12.26 dBm para la banda S.

También calculamos el punto de intercepción de tercer orden a la entrada y a la salida del amplificador. Para su cálculo, se ha tomado una potencia de entrada de -43 dBm en el caso de banda UHF y de -25 dBm para banda S.

Los valores que se obtuvieron para la intermodulación tanto a la entrada como a la salida para ambas bandas se representan en la Tabla 2.

	Banda UHF	Banda S
IIP3 (dBm)	8.6	9.4
OIP3 (dBm)	29.3	27.4

Tabla 2. Valores de intermodulación de tercer orden del amplificador.

Como podemos ver en la Tabla 2, el valor del punto de intercepción de tercer orden del amplificador para ambas bandas supera el valor de 25 dBm impuesto en las especificaciones. Se ha conseguido por tanto un amplificador altamente lineal en las dos bandas de interés.

El consumo total del circuito con una tensión de polarización  $V_{cc} = 4.3$  V es de 35.1 mA.

#### IV. LAYOUT

Se ha diseñado el layout del circuito amplificador en la tecnología ED02AH de OMMIC. El tamaño del amplificador es de 1.5 x 1 mm y se representa en la Fig. 9.

Todos los resultados que se han mostrado en el apartado anterior se corresponden a la simulación una vez que se han incluido las líneas necesarias para conectar los componentes en el layout.

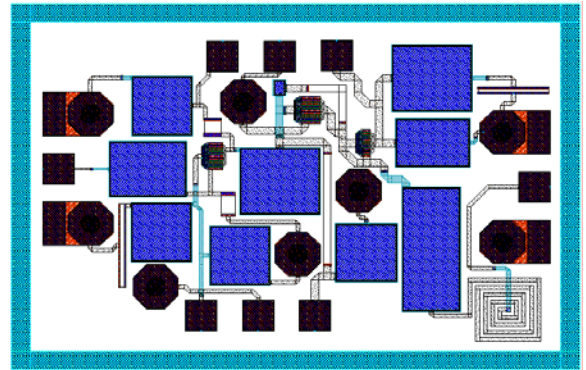


Fig. 9. Layout del amplificador en un die de 1.5 x 1 mm.

#### V. CONCLUSIONES

Se ha diseñado un amplificador para aplicaciones de banda S y UHF con una alta linealidad para ambas bandas de funcionamiento. El amplificador consigue un valor de OIP3 de 29.4 dBm para la banda inferior y de 27.3 dBm para la superior. Se consiguen también buenos valores de adaptación de entrada a través de dos redes de adaptación externa y una red de adaptación activa “on-chip”, así como una adaptación de banda ancha a la salida. La ganancia conseguida es alta, siendo de 18 dB para la banda de UHF y de 20 dB para la banda S.

Las altas prestaciones del amplificador diseñado permiten su conexión como buffer a un mezclador de alta linealidad, sin que se vea degradado el IP3 del conjunto total. Actualmente el circuito se encuentra en proceso de fabricación en la foundry de OMMIC.

#### REFERENCES

- [1] M. G. Francon et al, “S-DMB: a satellite based multicast architecture for multimedia services in 3G mobile networks,” *European Mobile/Personal Satellite Communications Conference*, 2002.
- [2] H. O. Knoche, J. D. McCarthy, “Mobile users’ needs and expectations of future multimedia services,” *Proceedings of the Wireless World Research Forum*, 2004.
- [3] A. M. Pavio, R. H. Halladay et al, “Double balanced mixers using active and passive techniques,” *IEEE Transactions on Microwave Theory and Techniques*, Vol. 36, No. 12, Dec 1998.
- [4] W.C. Petersen, D.r. Decker et al., “A monolithic GaAs 0.1 to 10 Ghz amplifier,” *MTT-S International*, 1981.
- [5] K. B. Niclas, “Active matching with common-gate MESFET’s,” *IEEE Transactions on Microwave Theory and Techniques*, Vol. MTT-33, No. 6, June 1985.
- [6] T. H. Lee, “The design of CMOS radio frequency integrated circuits,” 2<sup>nd</sup>. Edition, Cambridge University Press, 2004
- [7] P. B. Kenington, “Highly linear RF amplifier design,” Artech House P, 2000.